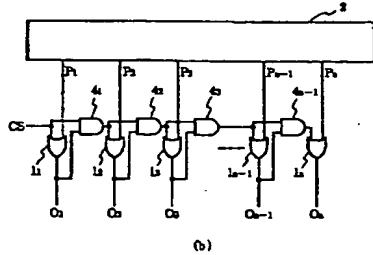
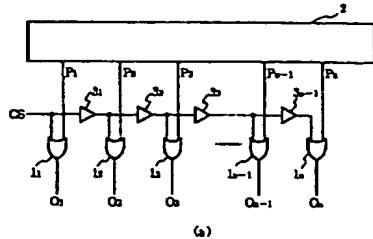


**(54) OUTPUT CIRCUIT FOR ELECTRONIC DISPLAY DEVICE DRIVING CIRCUIT**

(11) 5-313597 (A) (43) 26.11.1993 (19) JP  
 (21) Appl. No. 4-114391 (22) 7.5.1992  
 (71) NEC CORP (72) HIROAKI AZUHATA  
 (51) Int. Cl<sup>s</sup>. G09G3/20, H03K17/16

**PURPOSE:** To prevent the transient increase of a source current due to a penetration current when all output signals are switched to one side state of a (H) or a (L) simultaneously in the output circuit of CMOS circuit constitution outputting many output signals.

**CONSTITUTION:** Input signals  $P_1, \dots, P_n$  from a shift register 2 are inputted to the one side input terminals of OR circuits  $1_1, \dots, 1_n$  and a control signal CS is inputted to the other side input terminals of the OR circuits by delaying successively by buffer circuits  $3_1, \dots, 3_{n-1}$ . Such a constitution may be possible that the buffer circuits are replaced with AND circuits and the output of a  $(m-1)$ -th AND circuit  $4_{m-1}$  is inputted to one side input terminal of a  $(m)$  th AND circuit  $4_m$  and one side input terminal of the OR circuit  $1_m$ , and the output signal  $O_m$  of the OR circuit  $1_m$  is inputted to the other input terminal of the AND circuit  $4_m$  and the input signal  $P_m$  from the shift register 2 is inputted to the other input terminal of the OR circuit  $1_m$ , and the output signal  $O_m$  is outputted from an output terminal.

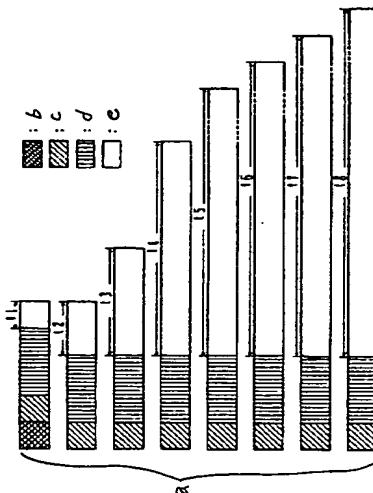


**(54) METHOD FOR DRIVING AC DRIVE TYPE PLASMA DISPLAY PANEL**

(11) 5-313598 (A) (43) 26.11.1993 (19) JP  
 (21) Appl. No. 4-117387 (22) 11.5.1992  
 (71) FUJITSU LTD (72) SHIGETOSHI TOMIO(2)  
 (51) Int. Cl<sup>s</sup>. G09G3/28

**PURPOSE:** To reduce the number of times of discharge emission when the display of overall erasure is performed and to improve display quality by performing overall write only in one sub field in one frame.

**CONSTITUTION:** One frame is constituted of  $N$  pieces of sub fields and when the display of e.g. 256 gradation is performed, one frame is constituted of a first to an eighth sub fields. The first sub field consists of an overall write period, an overall erasure period, an addressing period and a hold discharge period. All the second to the eighth sub fields consist of the periods that the overall write period is subtracted from the first sub field, that is, the overall erasure period, the addressing period and the hold discharge period. In such a manner, the overall write is performed only in one sub field in one frame. Thus, when the display of the overall erasure is performed, e.g.  $N=8$ , the discharge emission of  $4+3 \times 7=25$  times is performed in one frame and the number of times of the discharge emission at the overall erasure time is reduced from 32 times which have been usual and the display quality is improved.



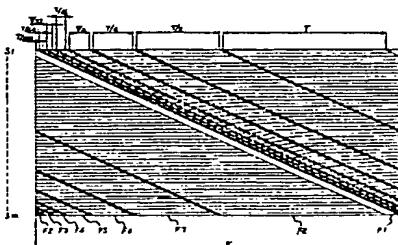
a: first to eighth sub fields, b: overall write period, c: overall erasure period, d: addressing period, e: hold discharge period

**(54) GRADATION DRIVE SYSTEM FOR DISPLAY PLATE**

(11) 5-313599 (A) (43) 26.11.1993 (19) JP  
 (21) Appl. No. 4-119446 (22) 13.5.1992  
 (71) NEC CORP (72) SHIYUUJI NAKAMURA  
 (51) Int. Cl<sup>s</sup>. G09G3/28

**PURPOSE:** To improve a display ratio in one field and to reduce the size of a circuit by dividing one cycle of a write period into the number of sub fields, allocating divided respective periods as the write periods of respective sub fields and displaying from the sub field with a short display hold period successively.

**CONSTITUTION:** The display periods of respective sub fields are shown by  $T$ ,  $T/2$ ,  $T/4$ ,  $T/8$ ,  $T/16$ ,  $T/32$ ,  $T/64$ ,  $T/128$  and the display of 256 gradation are performed by the combination of selected sub fields. One period  $T$  of one field is not divided to the divided sub fields and further a no display period from the end of respective sub fields to the start of the next sub field becomes short. Then, a data signal in a driving basic signal is delayed till the write timing of respective sub fields. That is, regarding the sub field F1 operating first as a reference, the data signals exist till the display start of the sub fields of F2-F8 are stored.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-313598

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.<sup>5</sup>

G 0 9 G 3/28

識別記号

庁内整理番号

B 8729-5G

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 8 頁)

(21)出願番号 特願平4-117387

(22)出願日 平成4年(1992)5月11日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 富尾 重寿

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 金澤 義一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 吉川 和生

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 松本 真吉

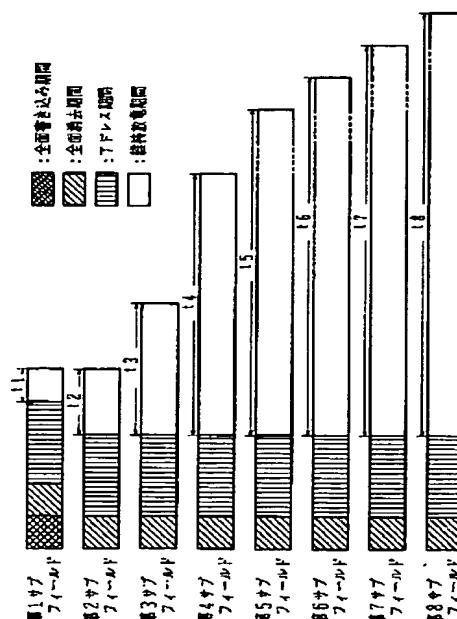
(54)【発明の名称】 交流駆動型プラズマディスプレイパネル駆動方法

(57)【要約】

【目的】表示品質を向上させる。

【構成】1フレームを第1～第8サブフィールドで構成し、第1サブフレームを、全面書き込み期間と、全面消去期間と、アドレス期間と、維持放電期間とで構成し、第2～第7サブフィールドの各々を、全面消去期間と、アドレス期間と、維持放電期間とで構成する。

256階調表示する場合の1フレームの各サブフィールド構成



## 【特許請求の範囲】

【請求項1】 互いに平行に敷設された複数の走査電極 (Y<sub>1</sub>～Y<sub>n</sub>) と、該走査電極の各々に対し平行に敷設されかつ一端が互いに共通に接続された共通電極 (X) と、該走査電極及び該共通電極と離間しかつクロスして互いに平行に敷設されたアドレス電極 (A<sub>1</sub>～A<sub>m</sub>) と、該走査電極及び該共通電極の該アドレス電極側を被った壁電荷生成用誘電体層 (12) と、を備えたプラズマディスプレイパネル (10) を駆動する交流駆動型プラズマディスプレイパネル駆動方法において、  
 1 フレームをN個のサブフィールドで構成し、  
 N個の該サブフィールドのうち少なくとも1個のサブフィールドを、該共通電極と全ての該走査電極との間に放電開始電圧よりも高い書込み電圧のパルスを印加して全画素を放電発光させ壁電荷を生成させる全面書込み期間と、該共通電極と全ての該走査電極との間に該放電開始電圧よりも低い消去電圧かつ直前の放電で生じた壁電荷と同一極性のパルスを印加して全画素を放電発光させることにより該壁電荷を消去させることにより該壁電荷を生成させるアドレス期間と、該共通電極と全ての該走査電極との間に放電開始電圧よりも低い維持電圧かつ直前の放電で生じた壁電荷と同一極性のパルスを印加して該アドレス期間で選択的に書込みした画素を放電発光させ壁電荷を生成させる維持放電期間とで構成し、  
 N個の該サブフィールドのうち残りのN-1個のサブフィールドの各々を、該共通電極と全ての該走査電極との間に該放電開始電圧よりも低い消去電圧かつ直前の放電で生じた壁電荷と同一極性のパルスを印加して該壁電荷が在る画素を放電発光させることにより該壁電荷を消去させる消去期間と、該アドレス期間と、該維持放電期間とで構成し、  
 該第1～第Nサブフィールドの各維持放電期間の長さを互いに異ならせることにより2<sup>0</sup>階調表示させることを特徴とする交流駆動型プラズマディスプレイパネル駆動方法。

【請求項2】 全面書込み期間を有する前記1個のサブフィールドは、前記1フレームの最初のサブフィールドであることを特徴とする請求項1記載の交流駆動型プラズマディスプレイパネル駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、交流駆動型プラズマディスプレイパネル駆動方法に関する。

## 【0002】

【従来の技術】 図3は、交流駆動型プラズマディスプレイ装置の全体構成を示す。

## 【0003】 交流駆動型プラズマディスプレイパネル 1

0は、その一方の面に、互いに平行な走査電極Y<sub>1</sub>～Y<sub>n</sub>及び共通電極Xが設けられ、対向面にこれら電極と直角な方向にアドレス電極A<sub>1</sub>～A<sub>m</sub>が設けられている。共通電極Xは、各走査電極Y<sub>1</sub>～Y<sub>n</sub>に対応してこれに接近して設けられ、一端が互いに共通に接続されている。

【0004】 図4は、1画素である、第i行第j列のセルC<sub>i</sub>～jの断面構成を示す。共通電極X及び走査電極Y<sub>i</sub>はガラス基板11上に形成され、その上に、放電空間17に対し絶縁するための誘電体層12が被着され、さらにその上にMgO保護膜13が被着されている。一方、アドレス電極A<sub>i</sub>は、ガラス基板11と対向配置されたガラス基板14上に形成され、その上に蛍光体15が被着されている。また、ガラス基板14及びアドレス電極A<sub>i</sub>上には、画素境界に、セル間混色防止用及び放電ギャップ維持用のセバレータ16が形成されている。MgO保護膜13と蛍光体15との間の放電空間17には、Ne+Xeペニングガスが封入されている。

【0005】 図3において、共通電極XはXドライバ20の出力端に接続され、走査電極Y<sub>1</sub>～Y<sub>n</sub>はYドライバ30の出力端に接続され、アドレス電極A<sub>1</sub>～A<sub>m</sub>はアドレスドライバ40の出力端に接続されている。これらXドライバ20、Yドライバ30及びアドレスドライバ40は制御回路50からの制御信号により制御され、制御回路50は、外部からの表示データD、表示データDの読み込みタイミングを示すクロックCLK、水平同期信号HS及び垂直同期信号VSに基づいてこの制御信号を生成する。

【0006】 図5は、交流駆動型プラズマディスプレイパネルの駆動方法の一例を示す電圧波形図であり、1サブフィールド分を示している。この1サブフィールドは、全面書込み期間と、全面消去期間と、アドレス期間と、維持放電期間とに区分される。

【0007】 2<sup>0</sup>階調表示を行う場合、1フレームをN個のサブフィールドで構成し、各サブフィールドを前記4つの期間で構成し、第1～Nサブフィールドでの維持放電期間の比を2<sup>0</sup>：2<sup>1</sup>：…：2<sup>n-2</sup>：2<sup>n-1</sup>とする（特願平2-331589号）。図6は、N=8の場合の1フレームの各サブフィールドの構成を示す。

## 【0008】

【発明が解決しようとする課題】 しかし、1フレーム内の各サブフィールドで全面書込み及び全面消去を行うので、全面消去状態の表示を行う場合でも各サブフィールドにおいて本駆動波形では4回放電発光し、例えばN=8の場合には1フレームで32回も放電発光する為、全面消去、すなわち全面黒の表示のときでも、灰色になり、高品位表示を阻害する原因となっていた。

【0009】 本発明の目的は、このような問題点に鑑み、表示品質を向上させることができる交流駆動型プラズマディスプレイパネル駆動方法を提供することにあ

る。

【0010】

【課題を解決するための手段及びその作用】本発明に係る交流駆動型プラズマディスプレイパネル駆動方法を、図面を参照して説明する。

【0011】本発明は、例えば図3に示すようなプラズマディスプレイパネル10を駆動する方法であり、このプラズマディスプレイパネル10は、互いに平行に敷設された複数の走査電極Y1～Ynと、走査電極Y1～Ynの各々に対し平行に敷設されかつ一端が互いに共通に接続された共通電極Xと、走査電極Y1～Yn及び共通電極Xと離間しかつクロスして互いに平行に敷設されたアドレス電極A1～Amと、走査電極Y1～Yn及び共通電極Xのアドレス電極A1～Am側を被った図4に示すような壁電荷生成用誘電体層12とを備えている。

【0012】本発明では、例えば図1及び図2に示す如く、1フレームをN個(図1ではN=8)のサブフィールドで構成し、N個の該サブフィールドのうち少なくとも1個のサブフィールドを、(1)共通電極Xと全ての走査電極Y1～Ynとの間に放電開始電圧よりも高い書き込み電圧のパルスを印加して全画素を放電発光させ壁電荷を生成させる全面書き込み期間と、(2)共通電極Xと全ての走査電極Y1～Ynとの間に該放電開始電圧よりも低い消去電圧かつ直前の放電で生じた壁電荷と同一極性のパルスを印加して全画素を放電発光させることにより該壁電荷を消去させる全面消去期間と、(3)点灯させようとする画素でクロスする該アドレス電極Ajと走査電極Yiとの間に該放電開始電圧よりも低い選択書き込み電圧のパルスを印加して該画素を放電発光させ壁電荷を生成させるアドレス期間と、(4)共通電極Xと全ての走査電極Y1～Ynとの間に放電開始電圧よりも低い維持電圧かつ直前の放電で生じた壁電荷と同一極性のパルスを印加して該アドレス期間で選択的に書き込みした画素を放電発光させ壁電荷を生成させる維持放電期間とで構成し、N個の該サブフィールドのうち残りのN-1個のサブフィールドの各々を、(1')共通電極Xと全ての走査電極Y1～Ynとの間に該放電開始電圧よりも低い消去電圧かつ直前の放電で生じた該壁電荷と同一極性のパルスを印加して該壁電荷が在る画素を放電発光させることにより該壁電荷を消去させる消去期間と、

(2')該アドレス期間と、(3')該維持放電期間とで構成し、該第1～第Nサブフィールドの各維持放電期間の長さを互いに異ならせることにより2"階調表示させる。

【0013】本発明では、1フレーム内の1個のサブフィールドにおいてのみ全面書き込みを行っているので、全面消去の表示を行う場合、例えばN=8では1フレームで $4+3\times7=25$ 回放電発光し、全面消去時の放電発光回数が従来の32回よりも少なくなつて、表示品質が向上する。

【0014】本発明の第1態様では、全面消去期間を有する上記1個のサブフィールドは、1フレームの最初のサブフィールドである。

【0015】なお、共通電極は、複数組に分割されてもよい。

【0016】

【実施例】以下、図面に基づいて本発明の一実施例を説明する。

【0017】例えば256階調表示を行う場合、図6に対応して図1に示す如く、1フレームを第1～8サブフィールドで構成する。第1サブフィールドは、全面書き込み期間と、全面消去期間と、アドレス期間と、維持放電期間とからなる。第2～8サブフィールドはいずれも、第1サブフィールドの全面書き込み期間を除いたもの、すなわち、全面消去期間と、アドレス期間と、維持放電期間とからなる。

【0018】第1～8サブフィールドの各維持放電期間t1～t8の比は図6と同様に、

$$t_1 : t_2 : t_3 : \dots : t_7 : t_8 \\ = 1 : 2 : 4 : 8 : 16 : 32 : 64 : 128$$

となっている。

【0019】1フレーム時間は図6の場合と等しく、1/60秒である。したがって、本実施例では図6の場合よりも(全面書き込み期間)×7の時間だけ他の期間で使用でき、パルス幅を図6の場合よりも広くすることができる。

【0020】図2は、第1及び第2のサブフィールドにおいて、アドレス電極A1～A480、共通電極X及び走査電極Y1～Y480に印加される電圧の波形を示す。第1サブフィールドの電圧波形は図5と同一であり、以下にこれを説明する。なお、図中のサブフィールド区分信号は、図3の制御回路50で生成される。

【0021】(1)全面書き込み期間

最初の全面書き込み期間では、走査電極Y1～YnがグランドレベルGNDにされ、この状態で共通電極Xが、放電開始電圧Vfよりも高い書き込み電圧Vwにされて(全面書き込みパルス)、共通電極Xと走査電極Y1～Ynとの間で、すなわち全セルで、書き込み放電が行われる。放電が進むにつれ、共通電極X電極上の誘電体層12には負の壁電荷が蓄積され、走査電極Y1～Yn上の誘電体層12には正の壁電荷が蓄積される。この壁電荷は放電空間の電圧を低減させるため、1μs程度で放電が終結する。

【0022】次に、走査電極Y1～Ynが、放電開始電圧Vfよりも低い維持電圧Vsにされ、共通電極XがグランドレベルGNDにされ(維持パルス)、これに前記壁電荷による電圧が加算されて、共通電極Xと走査電極Y1～Ynとの間で維持放電が行われる。これにより、共通電極X電極上の誘電体層12には正の壁電荷が蓄積され、走査電極Y1～Yn上の誘電体層12には負の壁

電荷が蓄積される。この壁電荷は放電空間の電圧を低減させるため、1μs程度で放電が終結する。

電荷が蓄積されて、放電が終了する。この維持パルスにより、壁電荷が安定化される。

【0023】(2) 全面消去期間

次に、共通電極Xが維持電圧 $V_s$ にされ、走査電極 $Y_1 \sim Y_n$ がグランドレベルGNDにされて（全面消去パルス）、消去放電が生じ、壁電荷が中和されて消去される。この消去方法には、放電の進行段階でパルスを中断させる細幅消去方法と、維持電圧 $V_s$ より低い電圧で微小な放電を生じさせる太幅消去方法とがある。

【0024】(3) アドレス期間

次に、表示データの書き込みが線順次に行われる。すなわち、まず走査電極 $Y_1$ がグランドレベルGNDにされて選択され、第1表示行の点灯しようとするセルに対応したアドレス電極に電圧 $V_a$ が印加されて（書き込みパルス）、両電極間で書き込み放電が行われ、壁電荷が生成される。以下、第2～n表示行についてこの順に、上記同様の動作が行われる。

【0025】(4) 維持放電期間

次に、走査電極 $Y_1 \sim Y_n$ が共に維持電圧 $V_s$ の状態で共通電極XがグランドレベルGNDにされ（維持パルス）、アドレス期間で書き込み放電を行なったセルにおいて壁電荷が加算され、維持放電が行われる。次に、共通電極Xを維持電圧 $V_s$ に戻した状態で走査電極 $Y_1 \sim Y_n$ が共にグランドレベルGNDにされ（維持パルス）、アドレス期間で書き込み放電を行なったセルにおいて壁電荷が加算され、維持放電が行われる。以下、このような動作が交互に繰り返される。すなわち、共通電極Xと走査電極 $Y_1 \sim Y_n$ との間に交流維持パルスが供給され、画像が表示される。

【0026】第2サブフィールドは、第1サブフィールドでの全面書き込み期間を省略し、維持放電期間を第1サブフィールドのそれの2倍にしている。他は第1サブフィールドと同一である。

【0027】第2サブフィールドの全面消去期間においては、直前の維持放電で生成された壁電荷が、全面消去放電により消失する。第3サブフィールド以下の全面消去期間についても第2サブフィールドと同様である。

【0028】本実施例では、1フレーム内の最初のサブフィールドにおいてのみ全面書き込みを行っているので、全面消去の表示を行う場合、1フレームで  $4 + 3 \times 7 = 25$  回放電発光し、放電発光回数が従来の32回よりも少なくて、表示品質が向上する。

10 【0029】

【発明の効果】以上説明した如く、本発明に係る交流駆動型プラズマディスプレイパネル駆動方法では、1フレーム内の1個のサブフィールドにおいてのみ全面書き込みを行っているので、全面消去の表示を行う場合に放電発光回数が従来よりも少なくて、表示品質が向上するという効果を奏する。

【図面の簡単な説明】

【図1】本発明の1実施例に係り、256諧調表示する場合の1フレームの各サブフィールド構成図である。

20 【図2】第1及び第2のサブフィールドでの各電極に印加される電圧波形図である。

【図3】交流駆動型プラズマディスプレイ装置の概略構成図である。

【図4】図3のセルの断面構成図である。

【図5】従来例に係り、1サブフィールドでの各電極に印加される電圧波形図である。

【図6】従来例に係り、256諧調表示する場合の1フレームの各サブフィールド構成図である。

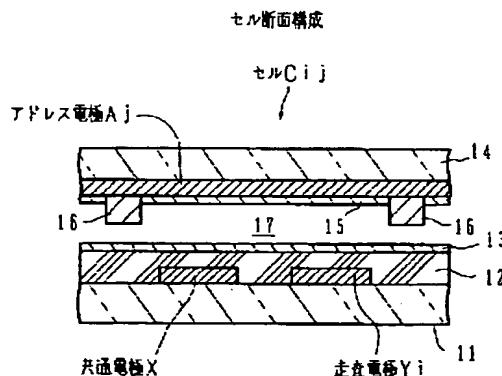
【符号の説明】

30 A1～Am アドレス電極

X 共通電極

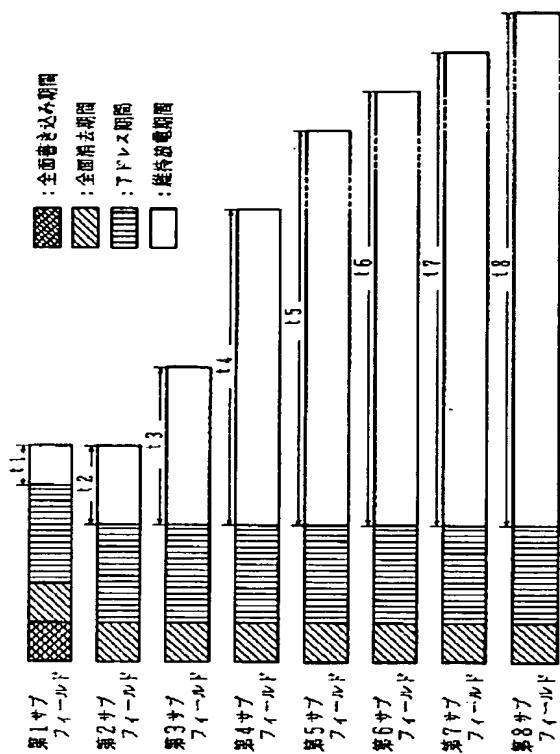
Y1～Yn 走査電極

【図4】



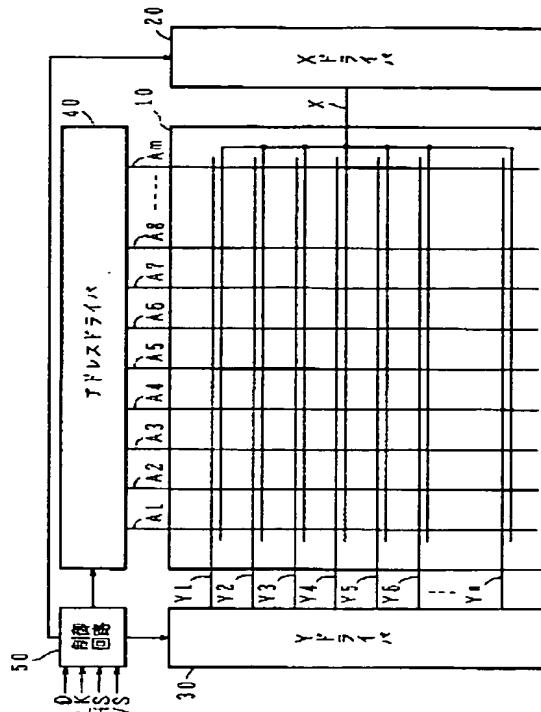
【図 1】

256席表示する場合の】フレームの各サブフィールド構成



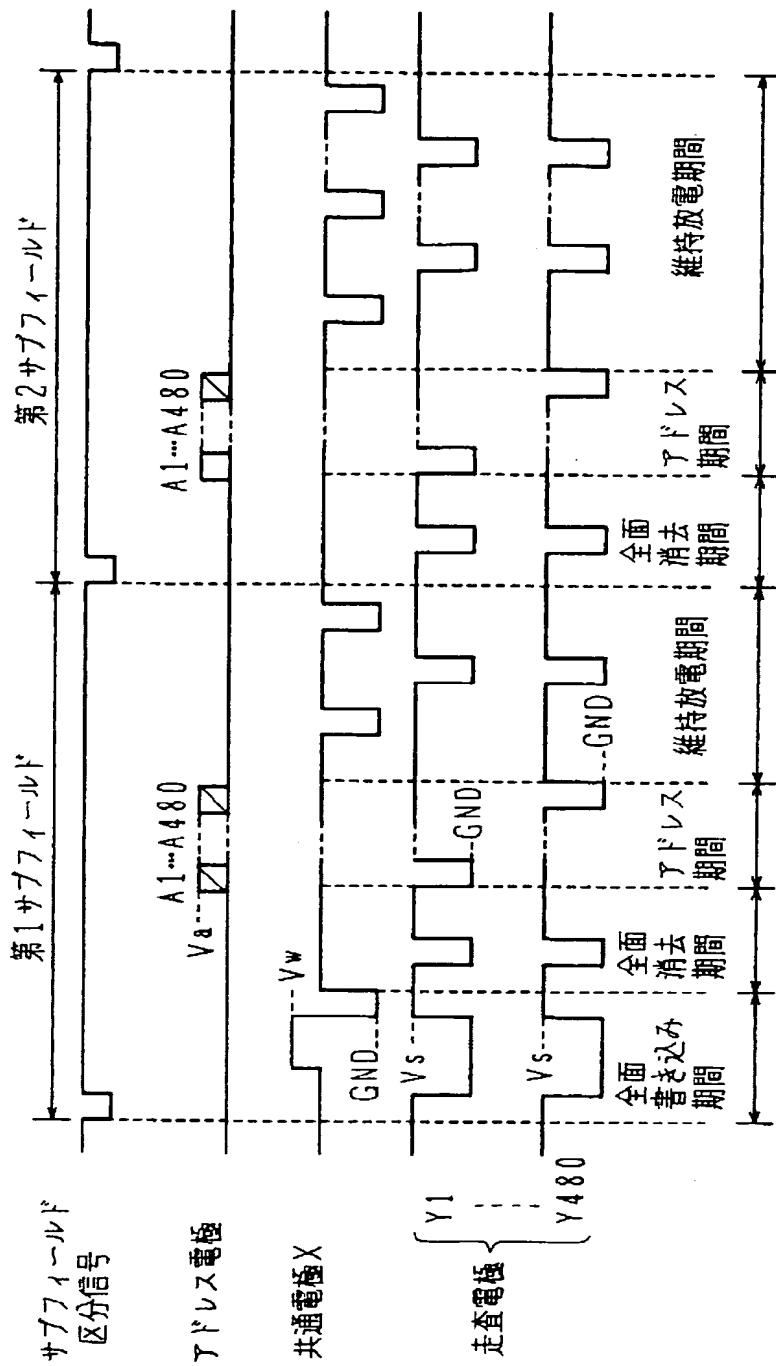
【図 3】

交流駆動型プラズマディスプレイ装置



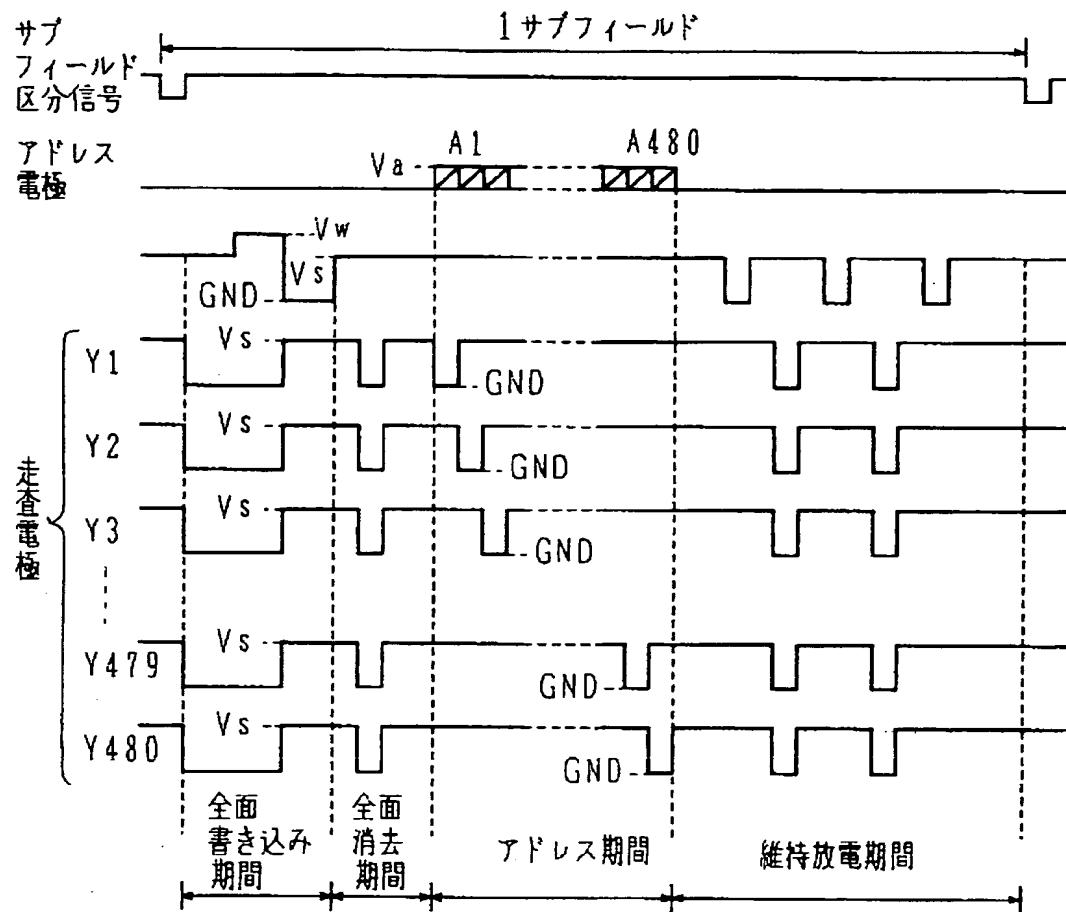
【図2】

### 各電極に印加される電圧波形



【図5】

### 各電極に印加される電圧波形（従来技術）



【図6】

256階層表示する場合の1フレームの各サブフレーム構成(従来技術)

